

1M X 64 Bit DRAM DIMM with EDO and Unbuffered

FEATURES

- Performance range:

t_{RAC}	t_{CAC}	t_{RC}	t_{HPC}
60ns	17ns	104ns	25ns

- Extended Data Out (EDO) Mode operation
- $\overline{\text{CAS}}$ -before-RAS refresh capability
- $\overline{\text{RAS}}$ -only and Hidden refresh capability
- LVTTL compatible inputs and outputs
- +3.3V $\pm$ 0.3V power supply
- 1024 cycles/16ms refresh
- JEDEC standard pinout
- Gold edge connectors

GENERAL DESCRIPTION

The SiliconTech SL64U6A1M1E-A60V is a 1M x 64 bit Dynamic RAM (DRAM) Dual In-line Memory Module (DIMM). This module consists of four CMOS 1M x 16 bit EDO DRAMs in 44-pin 400-mil TSOP-II packages mounted on a 168-pin glass epoxy substrate. Decoupling capacitors of 0.1 μ F are mounted for the DRAMs. A serial EEPROM using the two pin I²C protocol is also mounted to provide for the Serial Presence Detects (SPD).

The module is intended for mounting into 168-pin edge connector sockets keyed for 3.3V power supply and unbuffered signals.

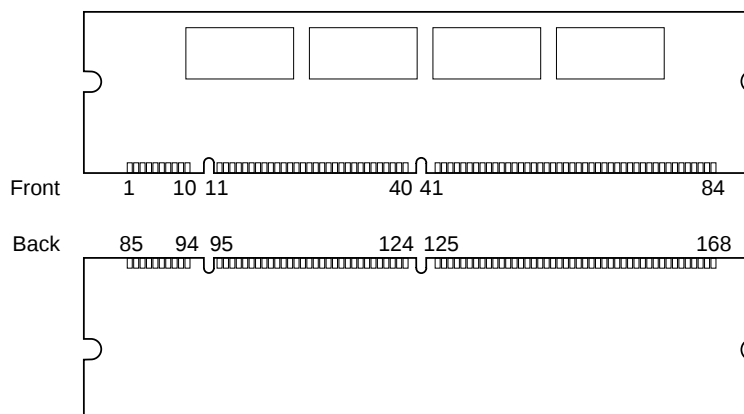
PIN CONFIGURATION

Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
1	V _{SS}	25	NC	49	V _{CC}	73	V _{CC}	97	DQ ₄₁	121	A ₉	145	NC
2	DQ ₀	26	V _{CC}	50	NC	74	DQ ₂₈	98	DQ ₄₂	122	NC	146	DU
3	DQ ₁	27	$\overline{\text{WE}}_0$	51	NC	75	DQ ₂₉	99	DQ ₄₃	123	NC	147	NC
4	DQ ₂	28	$\overline{\text{CAS}}_0$	52	NC	76	DQ ₃₀	100	DQ ₄₄	124	V _{CC}	148	V _{SS}
5	DQ ₃	29	$\overline{\text{CAS}}_1$	53	NC	77	DQ ₃₁	101	DQ ₄₅	125	DU	149	DQ ₅₃
6	V _{CC}	30	$\overline{\text{RAS}}_0$	54	V _{SS}	78	V _{SS}	102	V _{CC}	126	DU	150	DQ ₅₄
7	DQ ₄	31	$\overline{\text{OE}}_0$	55	DQ ₁₆	79	NC	103	DQ ₄₆	127	V _{SS}	151	DQ ₅₅
8	DQ ₅	32	V _{SS}	56	DQ ₁₇	80	NC	104	DQ ₄₇	128	DU	152	V _{SS}
9	DQ ₆	33	A ₀	57	DQ ₁₈	81	NC	105	NC	129	NC	153	DQ ₅₆
10	DQ ₇	34	A ₂	58	DQ ₁₉	82	SDA	106	NC	130	$\overline{\text{CAS}}_6$	154	DQ ₅₇
11	DQ ₈	35	A ₄	59	V _{CC}	83	SCL	107	V _{SS}	131	$\overline{\text{CAS}}_7$	155	DQ ₅₈
12	V _{SS}	36	A ₆	60	DQ ₂₀	84	V _{CC}	108	NC	132	DU	156	DQ ₅₉
13	DQ ₉	37	A ₈	61	NC	85	V _{SS}	109	NC	133	V _{CC}	157	V _{CC}
14	DQ ₁₀	38	NC	62	DU	86	DQ ₃₂	110	V _{CC}	134	NC	158	DQ ₆₀
15	DQ ₁₁	39	NC	63	NC	87	DQ ₃₃	111	DU	135	NC	159	DQ ₆₁
16	DQ ₁₂	40	V _{CC}	64	V _{SS}	88	DQ ₃₄	112	$\overline{\text{CAS}}_4$	136	NC	160	DQ ₆₂
17	DQ ₁₃	41	V _{CC}	65	DQ ₂₁	89	DQ ₃₅	113	$\overline{\text{CAS}}_5$	137	NC	161	DQ ₆₃
18	V _{CC}	42	DU	66	DQ ₂₂	90	V _{CC}	114	NC	138	V _{SS}	162	V _{SS}
19	DQ ₁₄	43	V _{SS}	67	DQ ₂₃	91	DQ ₃₆	115	DU	139	DQ ₄₈	163	NC
20	DQ ₁₅	44	$\overline{\text{OE}}_2$	68	V _{SS}	92	DQ ₃₇	116	V _{SS}	140	DQ ₄₉	164	NC
21	NC	45	$\overline{\text{RAS}}_2$	69	DQ ₂₄	93	DQ ₃₈	117	A ₁	141	DQ ₅₀	165	SA ₀
22	NC	46	$\overline{\text{CAS}}_2$	70	DQ ₂₅	94	DQ ₃₉	118	A ₃	142	DQ ₅₁	166	SA ₁
23	V _{SS}	47	$\overline{\text{CAS}}_3$	71	DQ ₂₆	95	DQ ₄₀	119	A ₅	143	V _{CC}	167	SA ₂
24	NC	48	$\overline{\text{WE}}_2$	72	DQ ₂₇	96	V _{SS}	120	A ₇	144	DQ ₅₂	168	V _{CC}

continued on the next page

PIN CONFIGURATION (continued)**Pin Names**

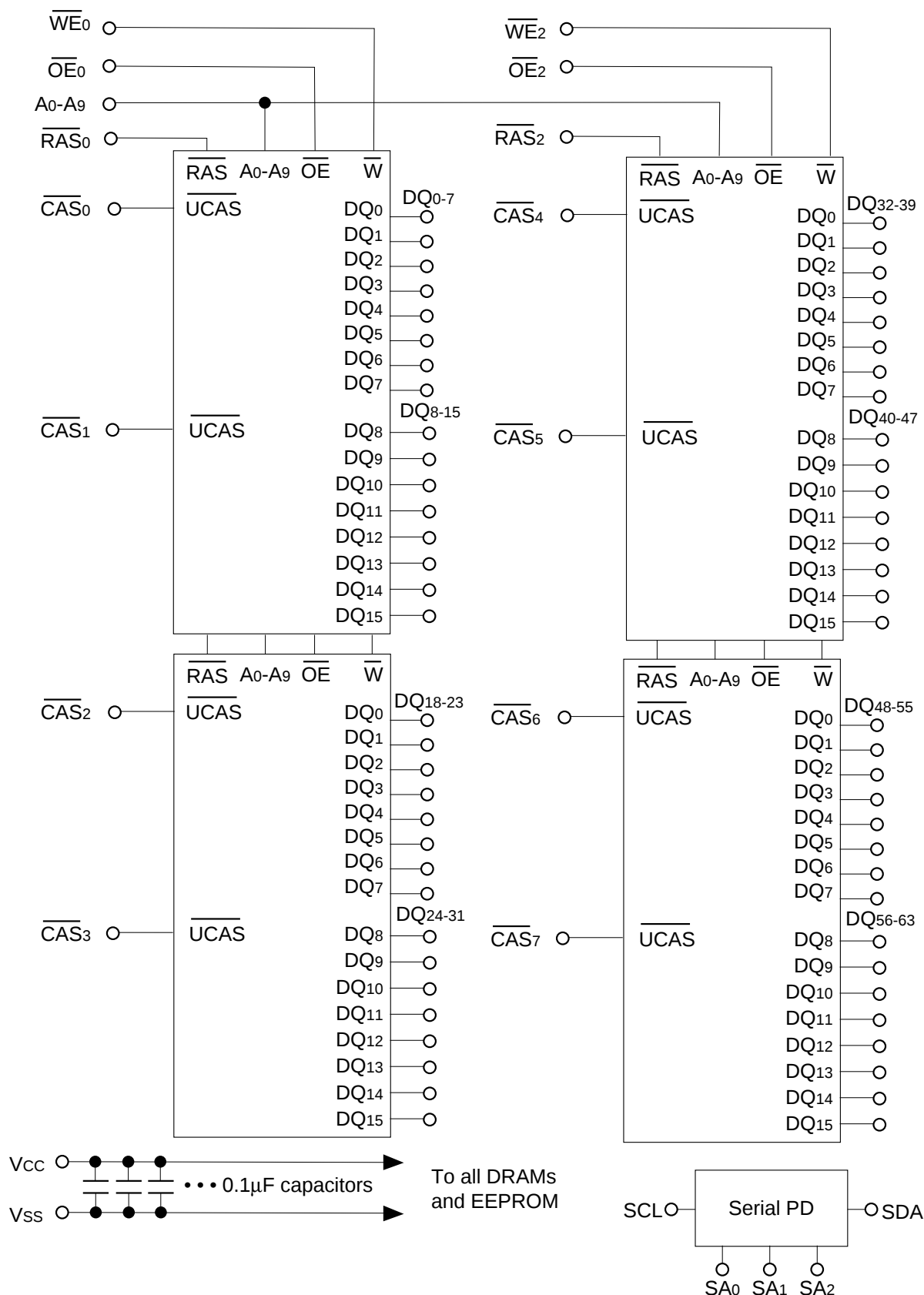
Pin Name	Pin Function
A ₀ -A ₉	Address Inputs
DQ ₀ -DQ ₆₃	Data In/Out
$\overline{WE}_0, \overline{WE}_2$	Read/Write Input
$\overline{OE}_0, \overline{OE}_2$	Output Enable
$\overline{RAS}_0, \overline{RAS}_2$	Row Address Strobe
$\overline{CAS}_0, \overline{CAS}_7$	Column Address Strobe
SDA	Serial Address/Data I/O
SCL	Serial Clock
SA ₀ -SA ₂	Address in EEPROM
V _{cc}	Power (+3.3V)
V _{ss}	Ground
NC	No Connection
DU	Don't Use

**SERIAL PRESENCE DETECT INFORMATION**

- Serial PD Interface Protocol: I²C
- Current sink capability of SDA driver ≤ 3mA
- Maximum clock frequency: 100 KHz

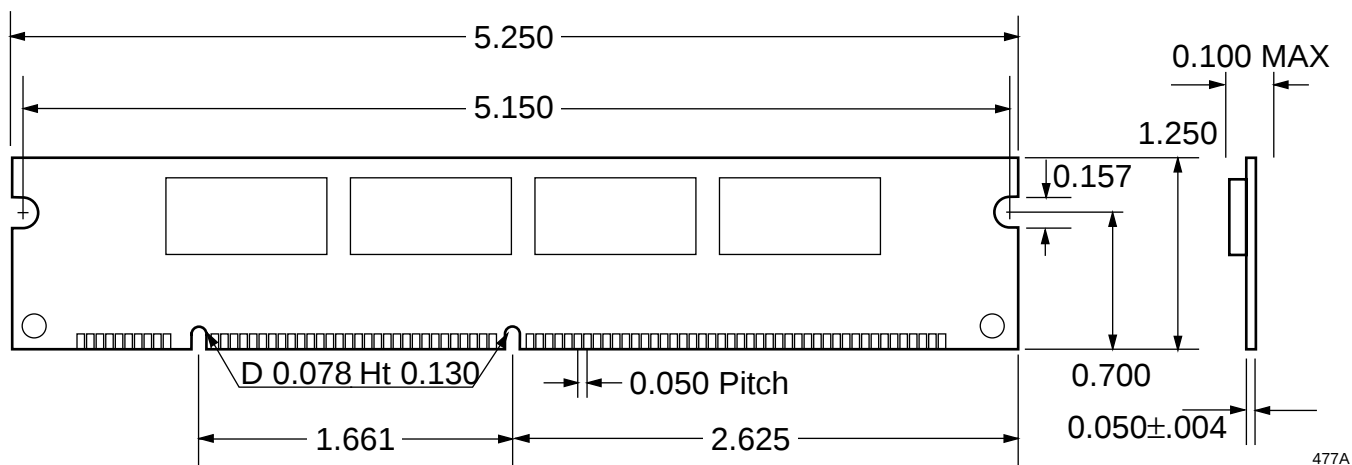
Byte Number	Function Described	Function Supported	Hex Value
0	# of bytes written into serial memory at module manufacturer	128 bytes	80h
1	Total # of bytes of SPD memory device	256Bytes (2K-bit)	08h
2	Fundamental memory type	EDO	02h
3	# of row addresses on this assembly	10	0Ah
4	# of column addresses on this assembly	10	0Ah
5	# of module banks on this assembly	1 bank	01h
6	Data width of this assembly	64 bits	40h
7	...Data width of this assembly (continued)	—	00h
8	Voltage interface standard of this assembly	LVTTL	01h
9	$\overline{RAS}$ access time (t _{RAC})	60ns	3Ch
10	$\overline{CAS}$ access time (t _{CAC})	15ns	0Fh
11	Module configuration type	None	00h
12	Refresh rate/type	Normal (15.625μs)	00h
13-31	Reserved	—	00h
32-63	Superset memory info	—	00h
64-127	Manufacturer's info	—	00h

FUNCTIONAL BLOCK DIAGRAM



PACKAGE DIMENSIONS

Units: Inches

TOLERANCES: ± 0.005 UNLESS OTHERWISE SPECIFIED