

32M X 72 Bit DRAM DIMM with EDO and ECC Optimized

FEATURES

- Performance range:

t_{RAC}	t_{CAC}	t_{RC}	t_{HPC}
60ns	20ns	110ns	30ns

- EDO Mode (Hyper Page) operation
- $\overline{\text{CAS}}$ -before-RAS refresh capability
- $\overline{\text{RAS}}$ -only and Hidden refresh capability
- LVTTL compatible inputs and outputs
- +3.3V $\pm$ 0.3V power supply
- 8192 cycles/64ms refresh for $\overline{\text{RAS}}$ -only refresh and Normal R/W; 4096 cycles/64ms for CBR refresh and Hidden Refresh
- JEDEC standard pinout
- ECC Optimized
- Gold edge connectors

PIN CONFIGURATION

Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol	Pin	Symbol
1	V_{SS}	25	NC	49	V_{CC}	73	V_{CC}	97	DQ ₄₅	121	A ₉	145	NC
2	DQ ₀	26	V_{CC}	50	NC	74	DQ ₃₂	98	DQ ₄₆	122	A ₁₁	146	NC
3	DQ ₁	27	$\overline{\text{WE}}_0$	51	NC	75	DQ ₃₃	99	DQ ₄₇	123	NC	147	NC
4	DQ ₂	28	$\overline{\text{CAS}}_0$	52	DQ ₁₈	76	DQ ₃₄	100	DQ ₄₈	124	V_{CC}	148	NC
5	DQ ₃	29	NC	53	DQ ₁₉	77	PQ ₃₅	101	DQ ₄₉	125	NC	149	DQ ₆₁
6	V_{CC}	30	$\overline{\text{RAS}}_0$	54	V_{SS}	78	V_{SS}	102	V_{CC}	126	B ₀	150	DQ ₆₂
7	DQ ₄	31	$\overline{\text{OE}}_0$	55	DQ ₂₀	79	PD ₁	103	DQ ₅₀	127	V_{SS}	151	DQ ₆₃
8	DQ ₅	32	V_{SS}	56	DQ ₂₁	80	PD ₃	104	DQ ₅₁	128	NC	152	V_{SS}
9	DQ ₆	33	A ₀	57	DQ ₂₂	81	PD ₅	105	DQ ₅₂	129	$\overline{\text{RAS}}_3$	153	DQ ₆₄
10	DQ ₇	34	A ₂	58	DQ ₂₃	82	PD ₇	106	DQ ₅₃	130	NC	154	DQ ₆₅
11	DQ ₈	35	A ₄	59	V_{CC}	83	ID ₀	107	V_{SS}	131	NC	155	DQ ₆₆
12	V_{SS}	36	A ₆	60	DQ ₂₄	84	V_{CC}	108	NC	132	$\overline{\text{PDE}}$	156	DQ ₆₇
13	DQ ₉	37	A ₈	61	NC	85	V_{SS}	109	NC	133	V_{CC}	157	V_{CC}
14	DQ ₁₀	38	A ₁₀	62	NC	86	DQ ₃₆	110	V_{CC}	134	NC	158	DQ ₆₈
15	DQ ₁₁	39	A ₁₂	63	NC	87	DQ ₃₇	111	NC	135	NC	159	DQ ₆₉
16	DQ ₁₂	40	V_{CC}	64	NC	88	DQ ₃₈	112	NC	136	DQ ₅₄	160	DQ ₇₀
17	DQ ₁₃	41	NC	65	DQ ₂₅	89	DQ ₃₉	113	NC	137	DQ ₅₅	161	DQ ₇₁
18	V_{CC}	42	NC	66	DQ ₂₆	90	V_{CC}	114	$\overline{\text{RAS}}_1$	138	V_{SS}	162	V_{SS}
19	DQ ₁₄	43	V_{SS}	67	DQ ₂₇	91	DQ ₄₀	115	NC	139	DQ ₅₆	163	PD ₂
20	DQ ₁₅	44	$\overline{\text{OE}}_2$	68	V_{SS}	92	DQ ₄₁	116	V_{SS}	140	DQ ₅₇	164	PD ₄
21	DQ ₁₆	45	$\overline{\text{RAS}}_2$	69	DQ ₂₈	93	DQ ₄₂	117	A ₁	141	DQ ₅₈	165	PD ₆
22	DQ ₁₇	46	$\overline{\text{CAS}}_4$	70	DQ ₂₉	94	DQ ₄₃	118	A ₃	142	DQ ₅₉	166	PD ₈
23	V_{SS}	47	NC	71	DQ ₃₀	95	DQ ₄₄	119	A ₅	143	V_{CC}	167	ID ₁
24	NC	48	$\overline{\text{WE}}_2$	72	DQ ₃₁	96	V_{SS}	120	A ₇	144	DQ ₆₀	168	V_{CC}

continued on the next page

PIN CONFIGURATION (continued)

Pin Names

Pin Name	Pin Function
A_0, B_0, A_1-A_{12}	Address Inputs (Buffered)
DQ_0-DQ_{71}	Data In/Out
$\overline{WE}_0, \overline{WE}_2$	Read/Write Input (Buffered)
$\overline{OE}_0, \overline{OE}_2$	Output Enable (Buffered)
$\overline{RAS}_0-\overline{RAS}_3$	Row Address Strobe
$\overline{CAS}_0, \overline{CAS}_4$	Column Address Strobe (Buffered)
PD_1-PD_8	Presence Detect (Buffered)
$\overline{PDE}$	Presence Detect Enable
ID_0-ID_1	ID Bits
V_{CC}	Power (+3.3V)
V_{SS}	Ground
NC	No Connection

Presence Detect

For 32Mx72 Configuration with 16M x 4 Bits, DRAM components:

$PD_1=NC, PD_2=V_{SS}, PD_3=V_{SS}, PD_4=V_{SS}$

For EDO:

$PD_5=NC$

For 60ns:

$PD_6=NC, PD_7=NC$

For ECC:

$PD_8=V_{SS}$

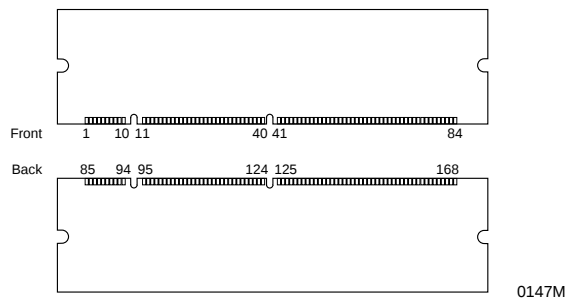
For x72 ECC:

$ID_0=V_{SS}$

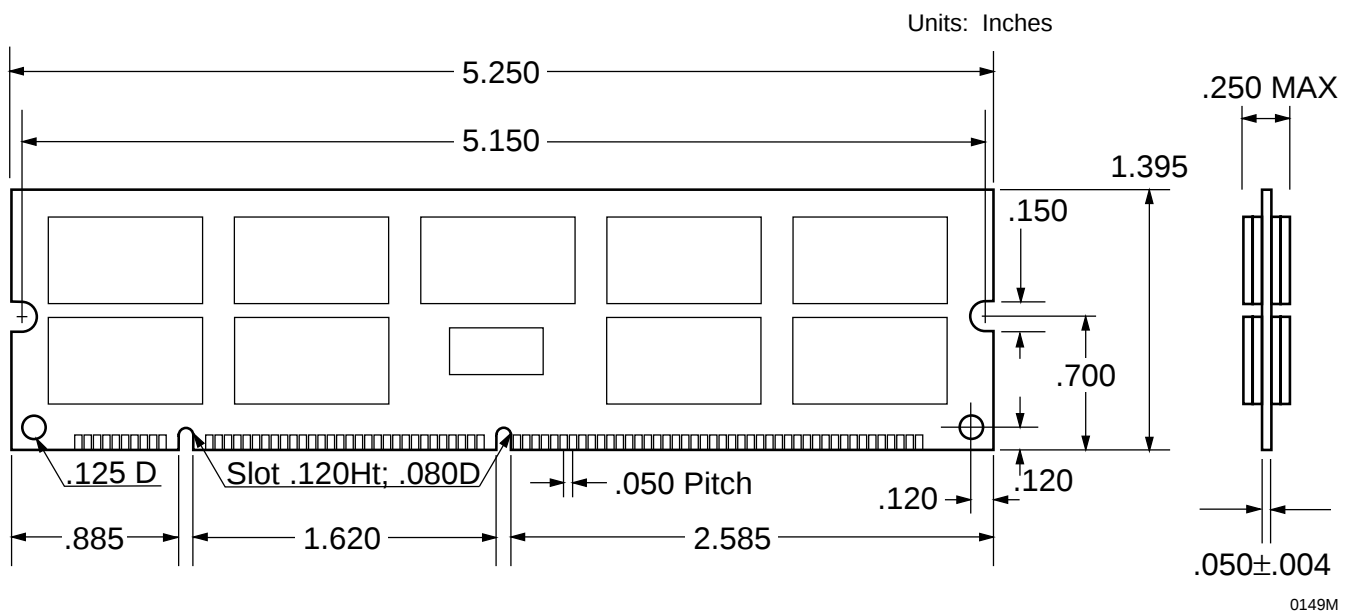
For Normal Refresh Mode:

$ID_1=V_{SS}$

PinLocations

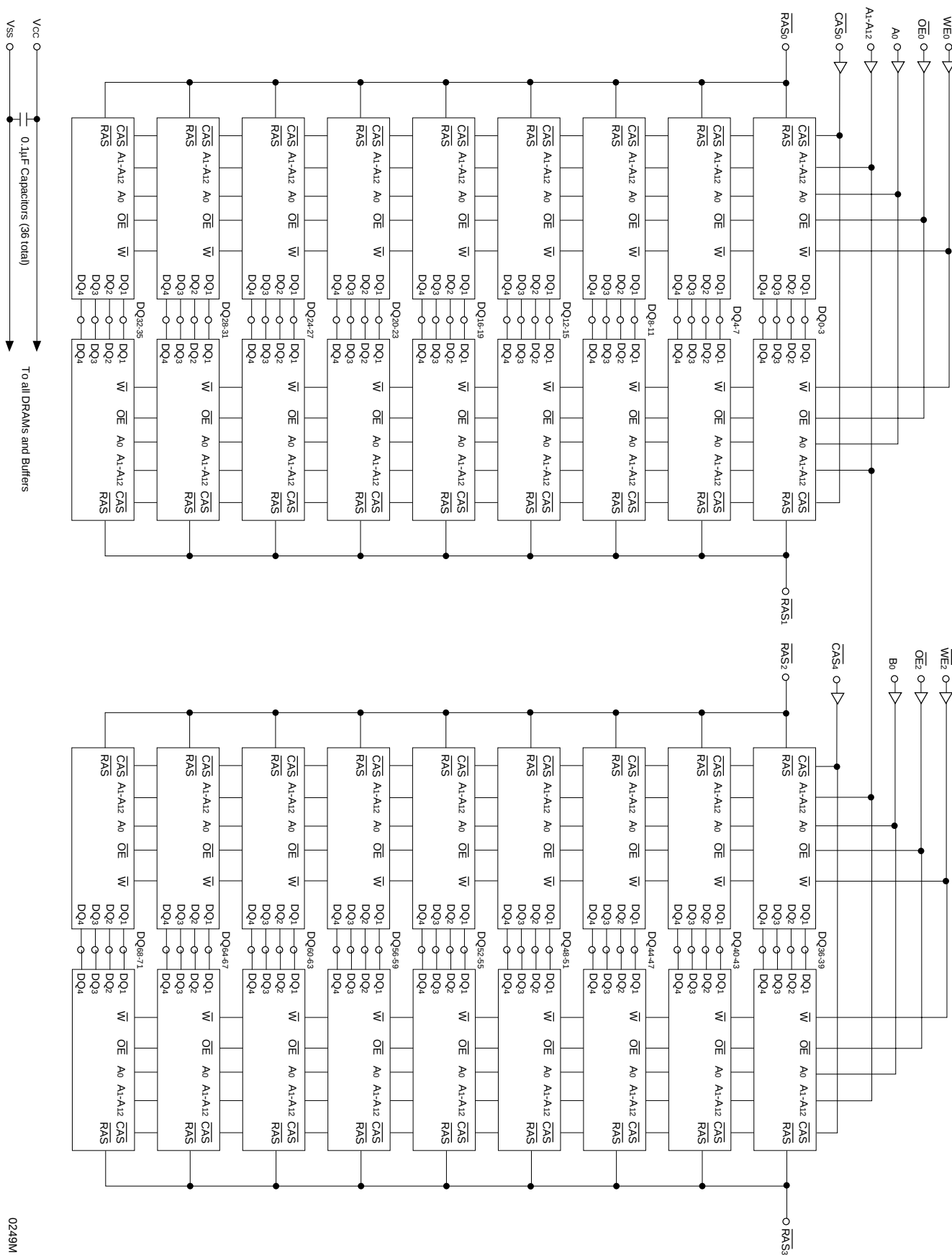


PACKAGE DIMENSIONS



TOLERANCES: ± 0.005 UNLESS OTHERWISE SPECIFIED

FUNCTIONAL BLOCK DIAGRAM



0249M